



(19)

(11) Publication number: 2000099391 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 10287334

(51) Int. Cl.: G06F 12/00

(22) Application date: 25.09.98

(30) Priority:

(43) Date of application  
publication: 07.04.00(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: OWADA TATSUO

(74) Representative:

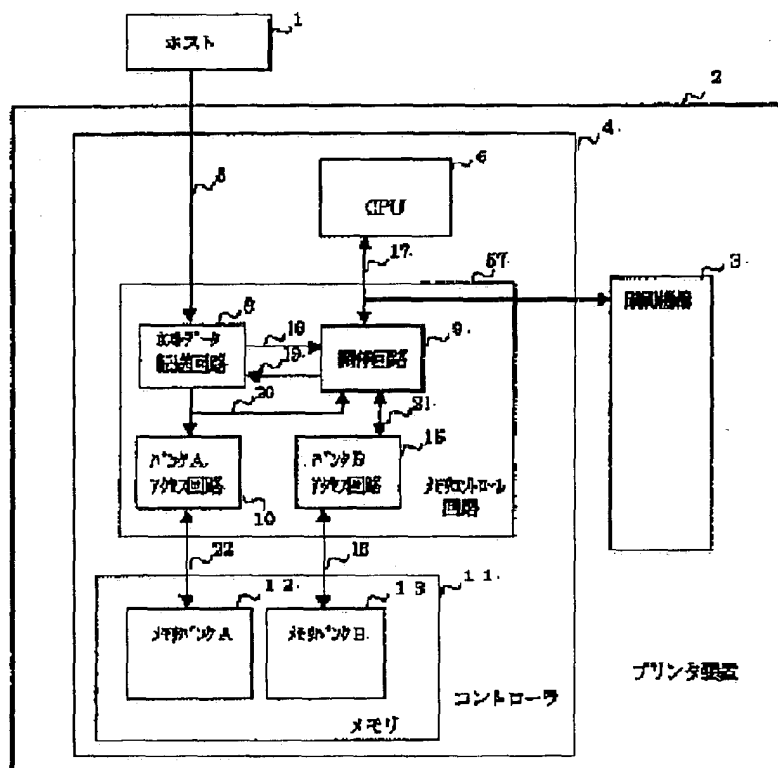
(54) PRINTER, PRINTER  
CONTROLLING METHOD AND  
STORAGE MEDIUM

(57) Abstract:

PROBLEM TO BE SOLVED: To  
parallelly access respective memory  
banks to which a memory is divided.

SOLUTION: When a CPU 6 issues a  
read or write request to a memory  
bank B 13, an arbitration circuit 9  
immediately sends the read or write  
request from the CPU 6 to a bank B  
access circuit 15, and the CPU 6  
reads or writes data from/in the  
memory bank B 13. When the CPU 6  
issues a read or write request to a  
memory bank A 12, the arbitration  
circuit 9 sends the read or write  
access from the CPU 6 to a bank A  
access circuit 10 when a host data  
transfer circuit 8 does not perform  
access to the memory bank A 12  
and controls in such a manner that  
the CPU 6 can read or write data  
from/in the memory bank A 12.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-99391

(P2000-99391A)

(43) 公開日 平成12年4月7日(2000.4.7)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 12/00

識別記号

5 7 1

F I

G 0 6 F 12/00

テーマコード(参考)

5 7 1 A 5 B 0 6 0

審査請求 有 請求項の数 7 F D (全 14 頁)

(21) 出願番号

特願平10-287334

(22) 出願日

平成10年9月25日(1998.9.25)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大和田 達男

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100097113

弁理士 堀 城之

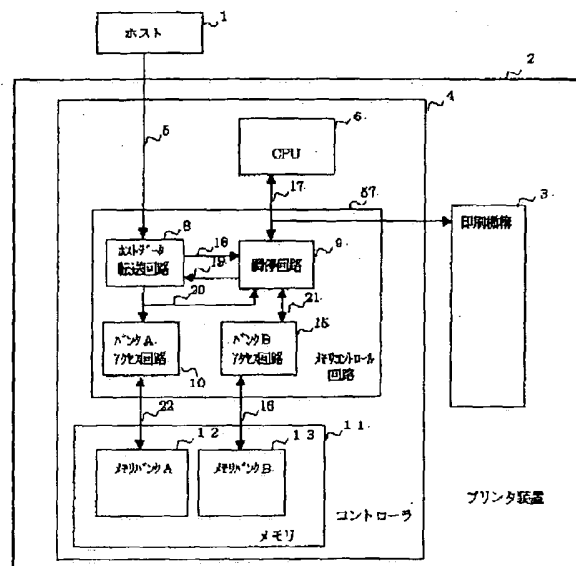
Fターム(参考) 5B060 CD00 CD11 KA02 KA05

(54) 【発明の名称】 プリンタ装置およびプリンタ制御方法、並びに記録媒体

(57) 【要約】

【課題】 メモリを分割した各メモリバンクに対して並行してアクセスできるようにする。

【解決手段】 CPU 6からメモリバンク B 1 3に対するリード或いはライト要求が発生すると、調停回路 9は、CPU 6からのリード或いはライト要求を直ちにバンク B アクセス回路 1 5に送り、CPU 6は、メモリバンク B 1 3に対してデータのリード或いはライトを行う。CPU 6から、メモリバンク A 1 2に対するリード或いはライト要求が発生すると、調停回路 9は、ホストデータ転送回路 8がメモリバンク A 1 2に対するアクセスを行っていないとき、CPU 6からのリード或いはライト要求をバンク A アクセス回路 1 0に送り、CPU 6がメモリバンク A 1 2に対してデータのリード或いはライトを行うことができるように制御する。



## 【特許請求の範囲】

【請求項1】 複数のメモリバンクに分割されたメモリを有するプリンタ装置であって、

第1の機能を実現するために使用するメモリエリアとして、複数の前記メモリバンクの所定のものを専用に割り当てる割り当て手段と、

第2の機能が、前記第1の機能に対して割り当てられた複数の前記メモリバンクの所定のものを使用する場合、前記第1の機能が複数の前記メモリバンクの所定のものを使用していないとき、前記第2の機能に対して、複数の前記メモリバンクの所定のものの使用を許可し、前記第1の機能が、前記第1の機能に対して割り当てられた複数の前記メモリバンクの所定のものを使用する場合、前記第2の機能が複数の前記メモリバンクの所定のものを使用していないとき、前記第1の機能に対して、複数の前記メモリバンクの所定のものの使用を許可し、複数の前記メモリバンクの所定のものを使用するときに発生する競合を調停する調停手段とを備え、

前記調停手段は、前記第2の機能による、複数の前記メモリバンクの他の所定のものの使用を無条件で許可することを特徴とするプリンタ装置。

【請求項2】 第1及び第2のメモリバンクに分割されたメモリを有するプリンタ装置であって、

前記第1のメモリバンクにアクセスする第1のアクセス手段と、

前記第2のメモリバンクにアクセスする第2のアクセス手段と、

所定の外部装置からのデータを受信し、前記第1のアクセス手段を介して前記第1のメモリバンクにアクセスし、前記データを書き込むデータ受信手段と、

所定の機能が、前記第1のアクセス手段を介して前記第1のメモリバンクにアクセスするとき、前記データ受信手段による前記第1のアクセス手段を介した前記第1のメモバンクに対するアクセスと競合しないように調停し、前記データ受信手段が前記第1のアクセス手段を介して前記第1のメモリバンクにアクセスするとき、前記所定の機能による前記第1のアクセス手段を介した前記第1のメモリバンクに対するアクセスと競合しないように調停する調停手段とを備え、

前記調停手段は、前記所定の機能による前記第2のアクセス手段を介した前記第2のメモリバンクに対するアクセスを無条件で許可することを特徴とするプリンタ装置。

【請求項3】 第1、第2、及び第3のメモリバンクに分割されたメモリを有するプリンタ装置であって、

前記第1のメモリバンクにアクセスする第1のアクセス手段と、

前記第2のメモリバンクにアクセスする第2のアクセス手段と、

前記第3のメモリバンクにアクセスする第3のアクセス

手段と、

所定の外部装置からのデータを受信し、前記第1のアクセス手段を介して前記第1のメモリバンクにアクセス

し、前記データを書き込むデータ受信手段と、

前記データ受信手段によって受信された前記データを印刷する印刷手段と、

前記第3のアクセス手段を介して前記第3のメモリバンクからデータを読み出し、前記印刷手段に転送するデータ転送手段と、

10 所定の機能が、前記第1のアクセス手段を介して前記第1のメモリバンクにアクセスするとき、前記データ受信手段による前記第1のアクセス手段を介した前記第1のメモバンクに対するアクセスと競合しないように調停し、前記データ受信手段が前記第1のアクセス手段を介して前記第1のメモリバンクにアクセスするとき、前記所定の機能による前記第1のアクセス手段を介した前記第1のメモリバンクに対するアクセスと競合しないように調停し、前記所定の機能が、前記第3のアクセス手段を介して前記第3のメモリバンクにアクセスするとき、前記データ転送手段による前記第3のアクセス手段を介した前記第3のメモバンクに対するアクセスと競合しないように調停し、前記データ転送手段が前記第3のアクセス手段を介して前記第3のメモリバンクにアクセスするとき、前記所定の機能による前記第3のアクセス手段を介した前記第3のメモリバンクに対するアクセスと競合しないように調停する調停手段とを備え、  
20 前記調停手段は、前記所定の機能による前記第2のアクセス手段を介した前記第2のメモリバンクに対するアクセスを無条件で許可することを特徴とするプリンタ装置。

30 【請求項4】 複数のメモリバンクに分割されたメモリを有するプリンタ装置を制御するプリンタ制御方法であって、

第1の機能を実現するために使用するメモリエリアとして、複数の前記メモリバンクの所定のものを専用に割り当てる割り当てステップと、

第2の機能が、前記第1の機能に対して割り当てられた複数の前記メモリバンクの所定のものを使用する場合、前記第1の機能が前記複数のメモリバンクの所定のものを使用していないとき、前記第2の機能に対して、複数の前記メモリバンクの所定のものの使用を許可し、前記第1の機能が、前記第1の機能に対して割り当てられた複数の前記メモリバンクの所定のものを使用する場合、前記第2の機能が前記複数のメモリバンクの所定のものを使用していないとき、前記第1の機能に対して、複数の前記メモリバンクの所定のものの使用を許可し、複数の前記メモリバンクの所定のものを使用するときに発生する競合を調停する調停ステップとを備え、

前記調停ステップにおいては、前記第2の機能による、複数の前記メモリバンクの他の所定のものの使用を無条

件で許可することを特徴とするプリンタ制御方法。

【請求項5】 第1及び第2のメモリバンクに分割されたメモリを有するプリンタ装置を制御するプリンタ制御方法であって、

所定の機能が、前記第1のメモリバンクにアクセスするとき、所定の外部装置からのデータを受信し、前記データを書き込むための前記第1のメモリバンクに対するアクセスと競合しないように調停し、前記外部装置からのデータを受信し、前記データを書き込むために、前記第1のメモリバンクに対してアクセスが行われるとき、前記所定の機能による前記第1のメモリバンクに対するアクセスと競合しないように調停する調停ステップを備え、

前記調停ステップにおいては、前記所定の機能による前記第2のメモリバンクに対するアクセスが無条件で許可されることを特徴とするプリンタ制御方法。

【請求項6】 第1、第2、及び第3のメモリバンクに分割されたメモリを有するプリンタ装置であって、

所定の外部装置からのデータを受信し、前記第1のメモリバンクにアクセスし、前記データを書き込むデータ受信ステップと、

前記データ受信ステップにおいて受信された前記データを印刷する印刷ステップと、

前記第3のメモリバンクからデータを読み出し、前記印刷ステップに転送するデータ転送ステップと、

所定の機能が、前記第1のメモリバンクにアクセスするとき、前記データ受信ステップにおける前記第1のメモリバンクに対するアクセスと競合しないように調停し、前記データ受信ステップにおいて前記第1のメモリバンクへのアクセスが行われるとき、前記所定の機能による前記第1のメモリバンクに対するアクセスと競合しないように調停し、前記所定の機能が、前記第3のメモリバンクにアクセスするとき、前記データ転送ステップにおける前記第3のメモリバンクに対するアクセスと競合しないように調停し、前記データ転送ステップにおいて前記第3のメモリバンクに対するアクセスが行われるとき、前記所定の機能による前記第3のメモリバンクに対するアクセスと競合しないように調停する調停ステップとを備え、

前記調停ステップにおいては、前記所定の機能による前記第2のメモリバンクに対するアクセスが無条件で許可されることを特徴とするプリンタ制御方法。

【請求項7】 請求項4乃至6のいずれかに記載のプリンタ制御方法を実行可能なプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリンタ装置およびプリンタ制御方法、並びに記録媒体に関し、特に、メモリを構成する各メモリバンクに対するアクセスを、並

行して行うことができるようにしたプリンタ装置およびプリンタ制御方法、並びに記録媒体に関する。

【0002】

【従来の技術】 従来、プリンタ装置におけるプリンタコントローラのメモリバンク分割方式においては、使用するメモリ容量が不足した場合、容易にメモリ増設を行うことができるようにするために、メモリを複数のバンクに分割していた。

【0003】 図5は、このような目的のために、メモリが複数のバンクに分割されている場合の従来技術の例を示すブロック図である。図5に示すように、メモリコントロール回路7は、ホストデータ転送回路8と、調停回路45と、バンク選択回路44と、バンクAアクセス回路10と、バンクBアクセス回路15とから構成されている。

【0004】 調停回路45は、CPU (central processing unit) 6から、メモリ11へのリード要求或いはライト要求があると、ホストデータ転送回路8が現在、メモリ11にデータをライト中であるか否かを判定し、メモリ11にデータをライト中であれば、ライトの終了を待ち、ライトしていなければ、バンク選択回路44に対して、リード要求或いはライト要求を送る。

【0005】 ホストデータ転送回路8は、ホストコンピュータ (以下、ホストと略記する) 1からデータが転送されてくると、調停回路45にメモリ11へのライト要求を行う。調停回路45は、ホストデータ転送回路8からのライト要求を受けると、CPU6がメモリ11に対してデータをリード或いはライトしているか否かを判定し、CPU6がメモリ11に対してデータをリード又はライトしていれば、その終了を待ってから、また、CPU6がメモリ11に対してデータのリード又はライトをしていなければ直ちに、ライトの許可をホストデータ転送回路8に与える。これにより、ホストデータ転送回路8は、バンク選択回路44にライト要求を送る。

【0006】 バンク選択回路44は、リード或いはライト要求が送られてくると、リード又はライト要求に含まれるアドレスのビット20が0及び1のいずれであるのかを検出し、上記アドレスのビット20が0であれば、リード或いはライト要求をバンクAアクセス回路10に送り、上記アドレスのビット20が1であれば、リード或いはライト要求をバンクBアクセス回路15に送る。

【0007】 バンクAアクセス回路10は、バンク選択回路44から、リード或いはライト要求が送られてくると、メモリバンクA12に対してデータをリード或いはライトする。バンクBアクセス回路15は、バンク選択回路44から、リード或いはライト要求が送られてくると、メモリバンクB13に対してデータをリード或いはライトする。

【0008】 なお、メモリ11は、メモリバンクA12

とメモリバンクB13とで構成されており、メモリバンクA12及びメモリバンクB13はそれぞれ、例えば、1メガバイト(1Mバイト)のメモリチップで構成されている。そして、バンク選択回路44の動作により、メモリバンクA12のアドレスは、16進数で表すと、00000000乃至000FFFFFとされ、メモリバンクB13のアドレスは、16進数で表すと、00100000乃至001FFFFFFとされる。

【0009】さらに、ホストデータ転送回路8からのデータをメモリ11にライトする時のアドレスのビット20は0とされ、メモリバンクA12へのライトとし、CPU6によるメモリ11に対するデータのリード及びライトは、アドレスのビット20が0或いは1とされ、メモリバンクA12及びメモリバンクB13のどちらにもリード或いはライトを行うものとする。

【0010】ここで、CPU6によるメモリバンクB13に対するリード或いはライト要求が発生し、かつ、ホスト1からデータが転送されてきたとする。

【0011】この場合、CPU6からのリード或いはライト要求により、調停回路45は、ホストデータ転送回路8が現在、メモリバンク11Aに対してデータをライト中であるか否かを確認し、ライト中でなければ、バンク選択回路44にリード或いはライト要求を送る。バンク選択回路44は、リード或いはライト要求に含まれるアドレスのビット20が1であることを検出して、バンクBアクセス回路15にリード或いはライト要求を送る。

【0012】バンクBアクセス回路15は、バンク選択回路44からのリード或いはライト要求により、メモリバンクB13に対してデータをリード或いはライトする。また、ホストデータ転送回路8は、ホスト1からのデータを受信しているため、調停回路45にライトの許可を要求する。この時、上述したように、CPU6が、メモリバンクB13に対してデータをリード或いはライトしているため、これが終了するまで、ライトの許可は待たされる。そして、CPU6による、メモリバンクB13へのデータのリード或いはライトが終了すると、ホストデータ転送回路8にライトの許可が与えられ、ホストデータ転送回路8は、ライト要求をバンク選択回路44に送る。

【0013】バンク選択回路44は、ライト要求に含まれるアドレスのビット20が0であることを検出し、バンクAアクセス回路10にライト要求を送る。バンクAアクセス回路10は、このライト要求により、メモリバンクA12に対してデータのライトを行う。

【0014】CPU6により、メモリバンク13からリードされたデータは、印刷機構3に供給され、印刷機構3により印刷が行われる。

【0015】

【発明が解決しようとする課題】このように、メモリ1

1に対するアクセスの調停が、メモリバンクごとに行われておらず、かつ、メモリ11に対する調停を行ってから、どのメモリバンクに対してデータをリード或いはライトするかを検出する構成になっている。

【0016】このため、ホスト1から受信したデータをメモリ11にライトするという機能で使用するただけのエリアとして、メモリバンクA12を割り当てることができず、メモリバンクA12及びメモリバンクB13のいずれか一方に対するデータのリード或いはライトを行うと、他方に対するデータのリード或いはライトが待たされるという欠点がある課題があった。

【0017】本発明はこのような状況に鑑みてなされたものであり、メモリに対するデータのリード或いはライト時の調停をメモリバンクごとに行うことにより、各メモリバンクに対して同時にアクセスすることができるようにし、処理性能を向上させることができるようにするものである。

【0018】

【課題を解決するための手段】請求項1に記載のプリンタ装置は、複数のメモリバンクに分割されたメモリを有するプリンタ装置であって、第1の機能を実現するために使用するメモリエリアとして、複数のメモリバンクの所定のものを専用に割り当てる割り当て手段と、第2の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第1の機能が複数のメモリバンクの所定のものを使用していないとき、第2の機能に対して、複数のメモリバンクの所定のものの使用を許可し、第1の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第2の機能が複数のメモリバンクの所定のものを使用していないとき、第1の機能に対して、複数のメモリバンクの所定のものの使用を許可し、複数のメモリバンクの所定のものを使用するときに発生する競合を調停する調停手段とを備え、調停手段は、第2の機能による、複数のメモリバンクの他の所定のものの使用を無条件で許可することを特徴とする。請求項2に記載のプリンタ装置は、第1及び第2のメモリバンクに分割されたメモリを有するプリンタ装置であって、第1のメモリバンクにアクセスする第1のアクセス手段と、第2のメモリバンクにアクセスする第2のアクセス手段と、所定の外部装置からのデータを受信し、第1のアクセス手段を介して第1のメモリバンクにアクセスし、データを書き込むデータ受信手段と、所定の機能が、第1のアクセス手段を介して第1のメモリバンクにアクセスするとき、データ受信手段による第1のアクセス手段を介した第1のメモリバンクに対するアクセスと競合しないように調停し、データ受信手段が第1のアクセス手段を介して第1のメモリバンクにアクセスするとき、所定の機能による第1のアクセス手段を介した第1のメモリバンクに対するアクセスと競合しないように調停する調停手段とを備

え、調停手段は、所定の機能による第2のアクセス手段を介した第2のメモリバンクに対するアクセスを無条件で許可することを特徴とする。請求項3に記載のプリンタ装置は、第1、第2、及び第3のメモリバンクに分割されたメモリを有するプリンタ装置であって、第1のメモリバンクにアクセスする第1のアクセス手段と、第2のメモリバンクにアクセスする第2のアクセス手段と、第3のメモリバンクにアクセスする第3のアクセス手段と、所定の外部装置からのデータを受信し、第1のアクセス手段を介して第1のメモリバンクにアクセスし、データを書き込むデータ受信手段と、データ受信手段によって受信されたデータを印刷する印刷手段と、第3のアクセス手段を介して第3のメモリバンクからデータを読み出し、印刷手段に転送するデータ転送手段と、所定の機能が、第1のアクセス手段を介して第1のメモリバンクにアクセスするとき、データ受信手段による第1のアクセス手段を介した第1のメモリバンクに対するアクセスと競合しないように調停し、データ受信手段が第1のアクセス手段を介して第1のメモリバンクにアクセスするとき、所定の機能による第1のアクセス手段を介した第1のメモリバンクに対するアクセスと競合しないように調停し、所定の機能が、第3のアクセス手段を介して第3のメモリバンクにアクセスするとき、データ転送手段による第3のアクセス手段を介した第3のメモリバンクに対するアクセスと競合しないように調停し、データ転送手段が第3のアクセス手段を介して第3のメモリバンクにアクセスするとき、所定の機能による第3のアクセス手段を介した第3のメモリバンクに対するアクセスと競合しないように調停する調停手段とを備え、調停手段は、所定の機能による第2のアクセス手段を介した第2のメモリバンクに対するアクセスを無条件で許可することを特徴とする。請求項4に記載のプリンタ制御方法は、複数のメモリバンクに分割されたメモリを有するプリンタ装置を制御するプリンタ制御方法であって、第1の機能を実現するために使用するメモリエリアとして、複数のメモリバンクの所定のものを専用に割り当てる割り当てステップと、第2の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第1の機能が複数のメモリバンクの所定のものを使用していないとき、第2の機能に対して、複数のメモリバンクの所定のものの使用を許可し、第1の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第2の機能が複数のメモリバンクの所定のものを使用していないとき、第1の機能に対して、複数のメモリバンクの所定のものの使用を許可し、複数のメモリバンクの所定のものを使用するときに発生する競合を調停する調停ステップとを備え、調停ステップにおいては、第2の機能による、複数のメモリバンクの他の所定のものの使用を無条件で許可することを特徴とする。請求項5に記載のプリンタ制御

方法は、第1及び第2のメモリバンクに分割されたメモリを有するプリンタ装置を制御するプリンタ制御方法であって、所定の機能が、第1のメモリバンクにアクセスするとき、所定の外部装置からのデータを受信し、データを書き込むための第1のメモリバンクに対するアクセスと競合しないように調停し、外部装置からのデータを受信し、データを書き込むために、第1のメモリバンクに対してアクセスが行われるとき、所定の機能による第1のメモリバンクに対するアクセスと競合しないように調停する調停ステップを備え、調停ステップにおいては、所定の機能による第2のメモリバンクに対するアクセスが無条件で許可されることを特徴とする。請求項6に記載のプリンタ制御方法は、第1、第2、及び第3のメモリバンクに分割されたメモリを有するプリンタ装置であって、所定の外部装置からのデータを受信し、第1のメモリバンクにアクセスし、データを書き込むデータ受信ステップと、データ受信ステップにおいて受信されたデータを印刷する印刷ステップと、第3のメモリバンクからデータを読み出し、印刷ステップに転送するデータ転送ステップと、所定の機能が、第1のメモリバンクにアクセスするとき、データ受信ステップにおける第1のメモリバンクに対するアクセスと競合しないように調停し、データ受信ステップにおいて第1のメモリバンクへのアクセスが行われるとき、所定の機能による第1のメモリバンクに対するアクセスと競合しないように調停し、所定の機能が、第3のメモリバンクにアクセスするとき、データ転送ステップにおける第3のメモリバンクに対するアクセスと競合しないように調停し、データ転送ステップにおいて第3のメモリバンクに対するアクセスが行われるとき、所定の機能による第3のメモリバンクに対するアクセスと競合しないように調停する調停ステップとを備え、調停ステップにおいては、所定の機能による第2のメモリバンクに対するアクセスが無条件で許可されることを特徴とする。請求項7に記載の記録媒体は、請求項4乃至6のいずれかに記載のプリンタ制御方法を実行可能なプログラムが記録されていることを特徴とする。本発明に係るプリンタ装置およびプリンタ制御方法、並びに記録媒体においては、第1の機能を実現するために使用するメモリエリアとして、複数のメモリバンクの所定のものを専用に割り当て、第2の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第1の機能が複数のメモリバンクの所定のものを使用していないとき、第2の機能に対して、複数のメモリバンクの所定のものの使用を許可し、第1の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第2の機能が複数のメモリバンクの所定のものを使用していないとき、第1の機能に対して、複数のメモリバンクの所定のものの使用を許可し、複数のメモリバンクの所定のものを使用するときに発生する競合を調停すると

もに、第2の機能による、複数のメモリバンクの他の所定のものの使用を無条件で許可する。

【0019】

【発明の実施の形態】図1は、本発明のプリンタ装置の一実施の形態の構成例を示すブロック図である。図2は、図1の調停回路9の詳細な構成例を示すブロック図である。まず、プリンタ装置2の1つの機能、即ち、ホストコンピュータ（以下、ホストと略記する）1からのデータを受信する機能を例にして、本実施の形態の概略について説明する。

【0020】図1に示したように、メモリ11は、メモリバンクA12とメモリバンクB13からなり、調停回路9には、CPU（central processing unit）6からメモリ11へのリード或いはライトが、メモリバンクA12に対するものなのか、メモリバンクB13に対するものなのかを検出する比較回路24が設けられている。

【0021】この比較回路24により、まず、メモリ11へのリード或いはライト要求が、競合が発生するメモリバンクA12に対するものであるか否か検出され、競合が発生するメモリバンクA12に対するものである場合にのみ、調停回路9による調停が行われる。

【0022】図1に示した実施の形態の場合、ホスト1からデータを受信する機能で使用するメモリエリアとして、メモリバンクA12を割り当てていることで、ホスト1から受信したデータが、ホストデータ転送回路8によるメモリバンクA12へのライト要求によってメモリバンクA12にライトされるが、このメモリバンクA12のエリアに対して、CPU6もリード或いはライトするため、ホストデータ転送回路8とCPU6の間で、メモリバンクA12の奪い合い、つまり、競合が発生する。

【0023】そこで、CPU6からのリード或いはライト要求時のメモリ11のアドレスが比較回路24によって検出され、CPU6のリード或いはライト要求が、メモリバンクA12に対するものである場合、調停を行うようにする。つまり、ホストデータ転送回路8がメモリバンクA12にライト中に、CPU6がメモリバンクA12に対してリード或いはライトを要求すると、この要求は、ホストデータ転送回路8によるメモリ11に対するライトが終了するまで待たされる。また、CPU6が、メモリバンクA12に対してリード或いはライト中に、ホストデータ転送回路8がメモリバンクA12に対してライト要求をすると、この要求は、CPU6のメモリ11に対するリード或いはライトが終了するまで待たされる。

【0024】しかし、CPU6がメモリバンクB13に対してリード或いはライトする場合、競合が発生しないため、調停回路9による調停は行われず、直ちにメモリバンクB13に対するリード或いはライトが行われる。

【0025】従って、ホスト1からの受信データが、メモリバンクA12にライトされている最中でも、CPU6は、メモリバンクB13へのリード或いはライトを直ちに行なうことができ、プリンタ装置2の性能を向上させるという効果が得られる。

【0026】以下、図1及び図2を参照して、詳細に説明する。図1に示したように、プリンタ装置2には、プリンタ装置2に対して印刷すべきデータを送るホスト1が接続されている。プリンタ装置2は、ホスト1から受信したデータから、印刷するためのイメージを作成するコントローラ4と、このイメージを用紙に印刷する印刷機構3から構成されている。

【0027】コントローラ4は、ホスト1から受信したデータを解析し、印刷するためのイメージを作成するCPU6と、後述する各種のデータを記憶するメモリ11と、ホスト1から受信したデータをメモリ11にライトしたり、或いは、CPU6によるメモリ11へのリード或いはライトを制御するメモリコントロール回路57とから構成される。

【0028】メモリ11は、メモリバンクA12とメモリバンクB13からなり、ここでは、それぞれ、例えば、1メガバイト（1Mバイト）の容量を持つメモリチップで構成されるものとしている。

【0029】メモリコントロール回路57は、リード或いはライト要求により、メモリバンクA12に対してリード或いはライトを行なうバンクAアクセス回路10と、リード或いはライト要求により、メモリバンクB13に対してリード或いはライトを行なうバンクBアクセス回路15と、ホスト1からのデータを受信し、後述する調停回路9からメモリバンクA12へのライトの許可を受けてから、バンクAアクセス回路10にライトの要求を行なうホストデータ転送回路8と、ホストデータ転送回路8からのメモリバンクA12へのライト許可の要求に対して、CPU6がメモリバンクA12にリード或いはライト中でなければ、ライトの許可を与えるとともに、CPU6からメモリ11へのリード或いはライト要求を受信し、これがメモリバンクA12に対するものである場合、ホストデータ転送回路8がメモリバンクA12にライト中であるか否かを確認し、ライト中であれば、ライト終了後、CPU6からのリード或いはライト要求をバンクAアクセス回路10に送り、CPU6からメモリ11へのリード或いはライト要求が、メモリバンクB13に対するものである場合、直ちに、バンクBアクセス回路15にリード或いはライト要求を送る調停回路9とから構成されている。

【0030】図2に示すように、調停回路9は、CPU6からのリード或いはライト要求中に含まれるメモリ11へのアドレスのビット20が、0及び1のいずれであるかを検出する比較回路24と、比較回路24において上記アドレスのビット20が0であることが検出された

とき、CPU 6からのリード或いはライト要求をイネーブルA回路26に送り、比較回路24においてアドレスのビット20が1であることが検出されたとき、CPU 6からのリード或いはライト要求をバンクBアクセス回路15に送るセレクト回路25と、セレクト回路25からのバンクアクセス回路10に対するリード或いはライト要求を、後述するアクセス検出回路27の指示に従って、バンクAアクセス回路10に送るイネーブルA回路26とから構成されている。

【0031】さらに、調停回路9は、上記アドレスのビット20が0であることが比較回路24によって検出された、CPU 6によるメモリ11へのリード或いはライト中に、ホストデータ転送回路8からライト要求があったとき、CPU 6によるリード或いはライトの終了後、ホストデータ転送回路8からのライト要求に対してライトの許可を与え、ホストデータ転送回路8がメモリバンクA12をライト中に、アドレスのビット20が0であることが比較回路24によって検出されたリード或いはライト要求が、CPU 6からあったとき、ホストデータ転送回路8のライトが終了した後、イネーブルA回路26に対して、セレクト回路25からのリード或いはライト要求をバンクAアクセス回路10に送るように指示するアクセス検出回路27を有している。

【0032】なお、上記比較回路24とセレクト回路25の構成から、CPU 6から見た場合、メモリ11へのリード或いはライト時のアドレスが、16進数で表したとき、00000000乃至000FFFFFである1Mバイトのエリアが、メモリバンクA12を指し、16進数で表したとき、00100000乃至001FFFFFである1Mバイトのエリアが、メモリバンクB13を指す。

【0033】図1及び図2において、符号5、16、17、18、19、20、21、22デジタル化されたおよびIII誘導データはそのまま符号化部4に入力され、符、23、28、29は、それぞれ信号線を表しており、ここでは、それらの説明は省略する。

【0034】次に、図1及び図2に示した実施の形態の動作について説明する。まず、ホスト1からのデータがホストデータ転送回路8によって受信されたものとする。このとき、ホストデータ転送回路8は、調停回路9を構成するアクセス検出回路27に対して、メモリバンクA12へのライト要求を行なう。アクセス検出回路27は、ホストデータ転送回路8からのライト要求を受けると、CPU 6がメモリバンクA12に対してデータをリード或いはライトしていない場合、ライトの許可をホストデータ転送回路8に送る。

【0035】ホストデータ転送回路8は、アクセス検出回路27からライトの許可を得ると、ライト要求をバンクAアクセス回路10に送る。これにより、バンクAアクセス回路10は、メモリバンクA12に対して、ホス

ト1からのデータをライトする。

【0036】このとき、CPU 6から、メモリバンクB13へのリード或いはライト要求が発生したとする。調停回路9は、CPU 6からのリード或いはライト要求を受信するが、リード或いはライト要求に含まれるアドレスのビット20が1となっている場合、比較回路24によって、アドレスのビット20が1であることが検出され、セレクト回路25により、CPU 6からのリード或いはライト要求が直ちにバンクBアクセス回路15に送られる。これにより、CPU 6は、メモリバンクB13に対してデータのリード或いはライトを行う。

【0037】次に、CPU 6から、ビット20が0のアドレスに対応するメモリバンクA12へのリード或いはライト要求が発生したものとする。このとき、比較回路24は、CPU 6からのリード或いはライト要求に含まれるアドレスのビット20が0であることを検出し、セレクト回路25は、CPU 6からのリード或いはライト要求をイネーブルA回路26に送る。

【0038】また、アクセス検出回路27は、比較回路24において、CPU 6からのリード或いはライト要求に含まれるアドレスのビット20が0であることが検出されると、ホストデータ転送回路8が、メモリバンクA12にライト中である場合、ライトの終了を待ってから、イネーブルA回路26に対して、セレクト回路25からのCPU 6によるリード或いはライト要求をバンクAアクセス回路10に送るように指示する。これにより、バンクAアクセス回路10は、メモリバンクA12に対してデータのリード或いはライトを行う。

【0039】以上により、CPU 6は、メモリバンクA12にライトされたホスト1からのデータをリードして解析し、メモリバンクB13をリード或いはライトしながら、印刷するためのイメージを作成し、これを印刷機構3に送ることで、用紙上に印刷を行なう。

【0040】このように、メモリ11に対するリード或いはライト時に、メモリバンクA12及びメモリバンクB13の各々に対して調停を行なっているため、ホスト1からのデータをメモリ11にライトする等の機能を、メモリバンクA12及びメモリバンクB13の各々に対して割り当てることが可能である。所定の機能が、メモリバンクA12及びメモリバンクB13のうちの一方に対してデータをリード或いはライトしている時に、同時に、並行して、他の機能が、他方に対してデータをリード或いはライトすることができる。これにより、プリンタ装置2の性能を向上させることができる。

【0041】図3及び図4は、本発明の印刷装置の他の実施の形態の構成例を示すブロック図である。図3及び図4に示した実施の形態の構成は、図1及び図2に示した実施の形態の場合と基本的には同様であるが、図3及び図4に示した実施の形態の場合、印刷するイメージを印刷機構3に転送する機能において使用されるメモリエリ

10

20

30

40

50



アとして、メモリバンクC37を割り当てるようにしている。

【0042】図3及び図4において、メモリ11は、メモリバンクA12、メモリバンクB13、及びメモリバンクC37により構成され、それぞれ、例えば1Mバイトの容量を持つメモリチップで構成されているものとする。

【0043】メモリコントロール回路67は、ホストデータ転送回路8と、調停回路69と、イメージ転送回路35と、バンクAアクセス回路10と、バンクBアクセス回路15と、バンクCアクセス回路36により構成されている。

【0044】イメージデータ転送回路35は、メモリバンクC37に対してデータのリードを行うとき、調停回路69を構成するアクセス検出回路41に対してリードの許可を要求し、許可が得られれば、バンクCアクセス回路36に対してメモリバンクC37に対するリード要求を行なう。そして、メモリバンクC37上に作成された印刷イメージを、印刷機構3に出力する。

【0045】なお、このとき、CPU6が、メモリバンクC37に対してリード或いはライトを行っていれば、これが終了するまで、アクセス検出回路41は、イメージデータ転送回路35に対してリードの許可を与えない。

【0046】比較回路38、セレクト回路39、アクセス検出回路41、イネーブルA回路26は、CPU6のリード或いはライト要求に含まれるアドレスのビット(21, 20)が(0, 0)なら、メモリバンクA12に対してのリード或いはライト要求として、また、上記アドレスのビット(21, 20)が(0, 1)なら、メモリバンクB13に対してのリード或いはライト要求として処理する。これらの動作は、図1及び図2に示した上記実施の形態における、アドレスのビット20が0或いは1の場合の処理と基本的には同様である。

【0047】アドレスのビット(21, 20)が(1, 0)である場合、比較回路38がこれを検出すると、セレクト回路39は、CPU6からのリード或いはライト要求を、イネーブルC回路40に送る。また、アクセス検出回路41は、イメージデータ転送回路35がメモリバンクC37に対してデータのリードを行っていないことを確認し、イネーブルC回路40に対して、セレクト回路39からのCPU6によるリード或いはライト要求をバンクCアクセス回路36に送るように指示する。

【0048】なお、このとき、イメージデータ転送回路35がメモリバンクC37をリードしていれば、これが終了するまで待つてから、アクセス検出回路41は、イネーブルC回路40に対して、セレクト回路39からのリード或いはライト要求をバンクCアクセス回路36に送るように指示を出す。

【0049】バンクCアクセス回路36は、アクセス検

出回路41からリード或いはライト要求が送られてくると、メモリバンクC37に対してデータをリード或いはライトする。

【0050】なお、図3及び図4の符号30, 31, 32, 33, 34, 42, 43で示された線はそれぞれ信号線を表しているが、ここではそれらの説明は省略する。

【0051】例えば、ホスト1からのデータを受信し、同時に、イメージデータ転送回路35が印刷機構3に印刷イメージを送り、同時に、CPU6がメモリバンクB13に対してデータをリード或いはライトする必要が生じたとする。

【0052】このとき、例えば、ホストデータ転送回路8は、アクセス検出回路41に対して、メモリバンクA12へのデータのライトの許可を求め、イメージデータ転送回路35は、アクセス検出回路41に対して、メモリバンクC37からのデータのリードの許可を求める。

【0053】この場合、メモリバンクA12とメモリバンクC37は、CPU6によってリード或いはライトされていないため、ホストデータ転送回路8及びイメージデータ転送回路35に対して直ちに許可が与えられる。これにより、ホストデータ転送回路8は、メモリバンクA12に対してデータをライトすることができ、イメージデータ転送回路35は、メモリバンクC37からデータをリードすることができる。

【0054】また、CPU6のリード或いはライト要求に含まれるアドレスのビット(21, 20)が(1, 0)であることから、セレクト回路39からバンクBアクセス回路15にリード或いはライト要求が送られ、メモリバンクB13をリード或いはライトできる。

【0055】このように、本実施の形態では、ホスト1からのデータを受信する機能で使用するメモリエリアとしてメモリバンクA12を割り当て、印刷するイメージを印刷機構3に転送する機能で使用するメモリエリアとしてメモリバンクC37を割り当て、さらに、その他の機能を処理するためにCPU6が使用するメモリエリアとしてメモリバンクB13を割り当てており、ホスト1からのデータを受信する処理と、印刷するイメージを印刷機構3に転送する処理と、CPU6が行なうその他の処理とを同時に行なうことができる。これにより、プリンタ装置2の性能を向上させることができる。

【0056】以上のように、上記各実施の形態においては、プリンタ装置2のコントローラ4において、プリンタ装置2を構成する機能、例えば、ホスト1から供給される印刷するためのデータをプリンタ装置2のメモリ11にライトする等の各機能を、プリンタ装置2のコントローラ4のメモリ11を構成するメモリバンクA12、メモリバンクB13、メモリバンクC37にそれぞれ対応させる。このように、プリンタ装置2の所定の機能においてリード或いはライトされるメモリエリアを、メモ

リバンクA12、メモリバンクB13、メモリバンクC37のうちの所定のものに割り当てることで、この機能によるメモリバンクA12、メモリバンクB13、メモリバンクC37のうちの所定のものに対するデータのリード或いはライト動作中も、これと並行して、他の所定のものに対するデータのリード或いはライトが可能となる。

【0057】なお、上記各実施の形態においては、メモリを2つ及び3つのメモリバンクに分割した場合の例について説明したが、メモリを4つ以上のメモリバンクに分割する場合にも本発明を適用することができる。

【0058】また、上記実施の形態において、メモリバンクに対するアクセスの競合をハードウェアによって調停するようにしたが、ソフトウェアによって調停を行うようにすることもできる。

【0059】

【発明の効果】以上の如く、本発明に係るプリンタ装置およびプリンタ制御方法、並びに記録媒体によれば、第1の機能を実現するために使用するメモリエリアとして、複数のメモリバンクの所定のものを専用に割り当て、第2の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第1の機能が複数のメモリバンクの所定のものを使用していないとき、第2の機能に対して、複数のメモリバンクの所定のものの使用を許可し、第1の機能が、第1の機能に対して割り当てられた複数のメモリバンクの所定のものを使用する場合、第2の機能が複数のメモリバンクの所定のものを使用していないとき、第1の機能に対して、複数のメモリバンクの所定のものの使用を許可し、複数のメモリバンクの所定のものを使用するときに発生する競合を調停するとともに、第2の機能による、複数のメモリバンクの他の所定のものの使用を無条件で許可するようにしたので、所定のメモリバンクに対するアクセスが競合するときには調停し、競合しないときには、各メモリバンクに対するアクセスを並行して行うことが

でき、プリンタ装置の性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明のプリンタ装置の一実施の形態の構成例を示すブロック図である。

【図2】図1の調停回路9の詳細な構成例を示すブロック図である。

【図3】本発明のプリンタ装置の他の実施の形態の構成例を示すブロック図である。

【図4】図3の調停回路69の詳細な構成例を示すブロック図である。

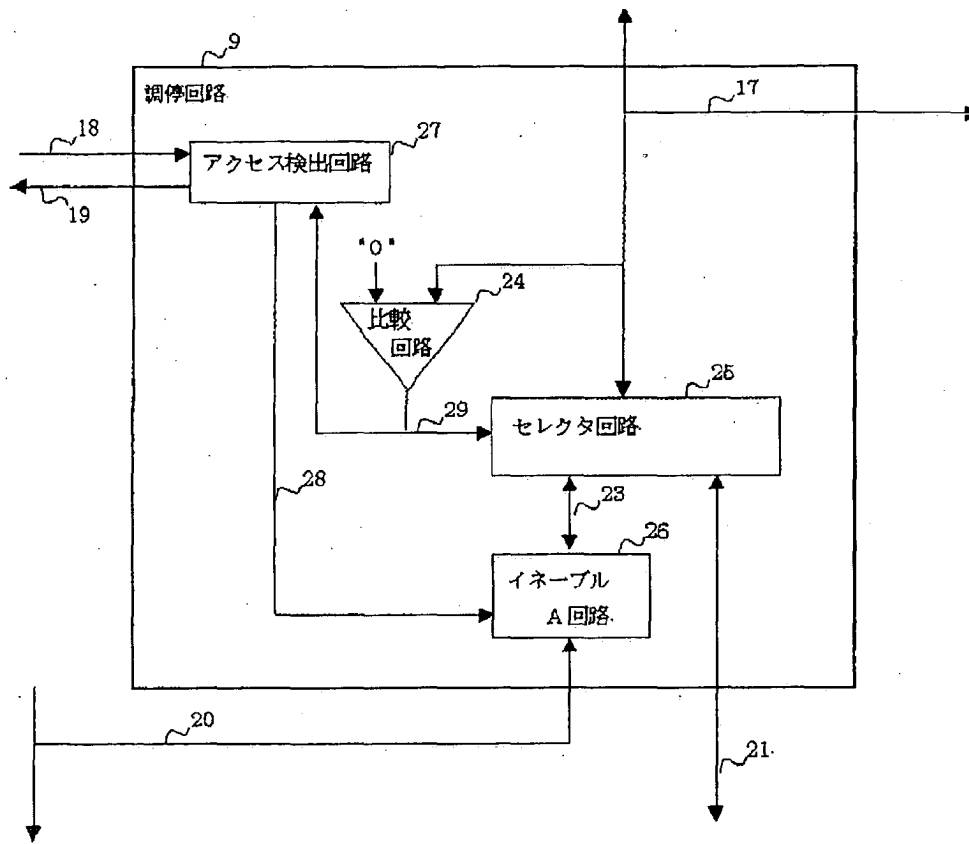
【図5】従来のプリンタ装置の一例の構成を示すブロック図である。

【符号の説明】

- 1 ホスト
- 2 プリンタ装置
- 3 印刷機構
- 4 コントローラ
- 6 CPU
- 7, 57, 67 メモリコントロール回路
- 8 ホストデータ転送回路
- 9, 45, 69 調停回路
- 10 バンクAアクセス回路
- 11 メモリ
- 12 メモリバンクA
- 13 メモリバンクB
- 15 バンクBアクセス回路
- 24 比較回路
- 25 セレクタ回路
- 26 イネーブルA回路
- 27 アクセス検出回路
- 35 イメージデータ転送回路
- 36 バンクCアクセス回路
- 37 メモリバンクC
- 44 バンク選択回路

5,16,17,18,19,20,21,22 信号線

【図2】



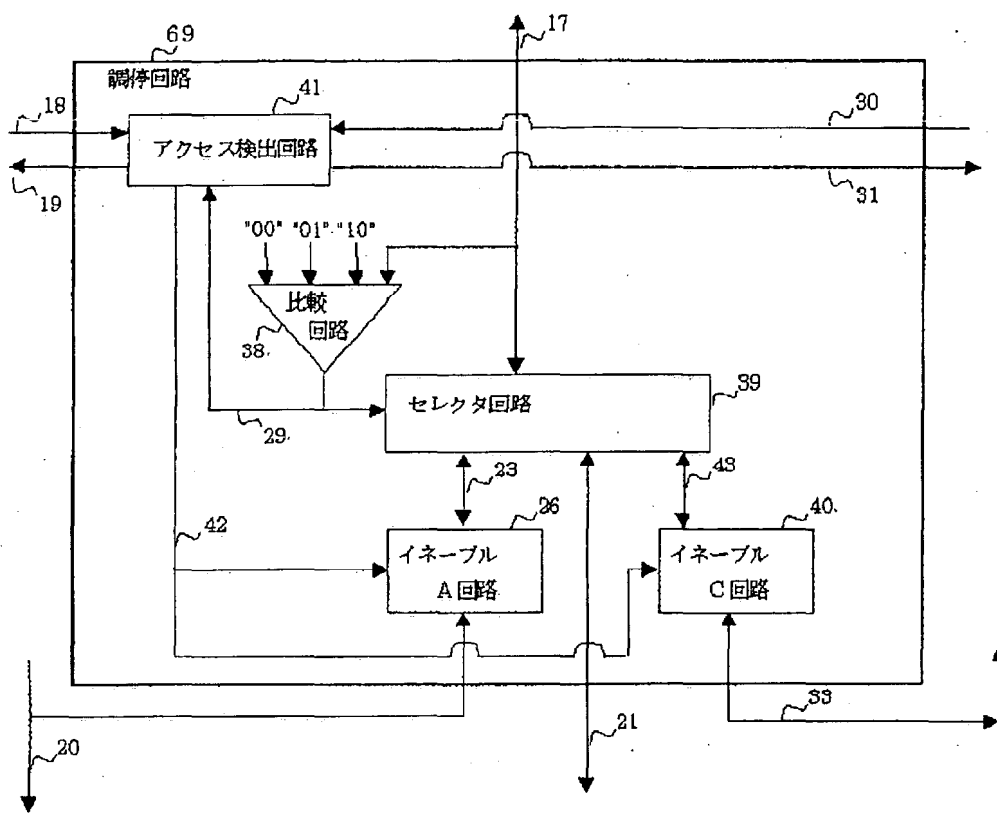
17,18,19,20,21,23,28,29 信号線

The diagram illustrates the architecture of a printer system, showing the connections between various components:

- Host (ホスト) 1:** Connected to the system via a line labeled 5.
- Printer Device (プリンタ装置) 2:** The main unit containing the internal components.
- Controller (コントローラ) 11:** A sub-unit containing:
  - Memory (メモリ) 12:** Consists of Memory Bank A (メモリアンク A), Memory Bank B (メモリアンク B), and Memory Bank C (メモリアンク C).
  - Access Circuits (アクセス回路):** Bank A (10), Bank B (15), and Bank C (86).
  - Memory Control Circuit (メモリコントロール回路) 36:** Manages data flow between the access circuits and the image transfer circuit.
- Internal Connections:**
  - Host 1 connects to the Host Data Transfer Circuit (ホストデータ転送回路) 8.
  - Host 8 connects to the Control Circuit (制御回路) 17.
  - Control Circuit 17 connects to the Image Data Transfer Circuit (イメージデータ転送回路) 32.
  - Control Circuit 17 also connects to the Access Circuits 10, 15, and 86.
  - Access Circuits 10, 15, and 86 connect to the Memory Banks 12.
  - Image Data Transfer Circuit 32 connects to the Access Circuit 86.
  - Access Circuit 86 connects to Memory Bank C 13.
- Printer Mechanism (印刷機構) 3:** Receives data from the Image Data Transfer Circuit 32 via a line labeled 33.

5,16,17,18,19,20,21,22,30,31,32,33,34 信号線

【図 4】



17,18,19,20,21,23,29,30,31,33,42,43 信号線

【图 5】

